

Generador digital de señales LFM sobre FPGA con técnicas avanzadas

Digital LFM signal generator with advanced FPGA techniques

Ing. Abel Hernández Violat^{1*}, Ing. Yunior Ibarra Guerra², Ing. Alexander Ramírez Zaldívar³, Ing. Eddy Hernández Inguanzo⁴

Recibido: 11/2021 | Aceptado: 01/2022

Palabras clave

Síntesis digital directa
DDS
Modulación digital
LFM
FPGA

Resumen

Los métodos tradicionales de generación de señales de radiofrecuencia basados en sintetizadores analógicos poseen limitaciones debido a su complejidad de calibración y costo de implementación a gran escala. Como una solución moderna, ha emergido una clase de Conversores Digital a Analógicos (DAC) y dispositivos digitales de alta velocidad que dan la posibilidad de incorporar funcionalidades de procesamiento de señales, modulación y generación de formas de ondas avanzadas. En este trabajo se presenta el diseño de un sistema de generación de señales con modulación lineal de frecuencia (LFM), con la combinación del diseño en *hardware* programable basado en FPGA (arreglos de compuertas lógicas programables en sitio) y DAC de alta velocidad. Se describen los elementos fundamentales del diseño de Sintetizadores Digitales Directos (DDS) usando la lógica programable para la generación y modulación de señales de radio en bandas superiores a la máxima frecuencia de muestreo del DAC. La solución propuesta permite una gran flexibilidad en la implementación de diferentes tipos de modulación y posibilita su integración en sistemas transceptores digitales de forma coherente y sincronizada.

KeyWords

Direct digital synthesizer
DDS
Digital modulation
LFM
FPGA

Abstract

The traditional radiofrequency signal generation methods based on analog synthesizers have limitations due its calibration complexity and cost for large scale implementations of such systems. As a modern solution, a class of digital-to-analog converters (DACs) and high-speed digital devices have emerged providing the ability to incorporate advanced signal processing, modulation and waveform generation functionality. This paper shows the design of a linear frequency modulation (LFM) signal generation system, with the combination of FPGA-based programmable hardware design and high-speed DACs. The Direct Signal Synthesizers fundamental design elements are described using programmable logic for radio signals generation and

1* Centro de Investigación y Desarrollo de Electrónica y Mecánica "CID MECATRONICS" Cuba, cid3@reduim.cu

2 Centro de Investigación y Desarrollo de Electrónica y Mecánica "CID MECATRONICS" Cuba, cid3@reduim.cu

3 Centro de Investigación y Desarrollo de Electrónica y Mecánica "CID MECATRONICS" Cuba, cid3@reduim.cu

4 Centro de Neurociencias, CNEURO, Cuba

modulation in the DAC sampling frequency higher band. The proposed solution enables a great flexibility in the implementation of different modulation types and provides the possibility of being integrated into digital transceiver systems in a coherent and synchronized manner.

Introducción

En la mayoría de las implementaciones prácticas publicadas en la literatura especializada sobre sistemas de generación de forma de onda con diferentes tipos de modulación, refieren el empleo de Sintetizadores Digitales Directos (DDS) basados en Circuitos Integrados de Aplicación Específica (ASIC). Estos dispositivos son capaces de sintetizar señales hasta una frecuencia equivalente al 40% de la frecuencia del oscilador de referencia (Fengjie, 2004; Tae & Lee, 2020; Swick, 2021; Chen *et al.*, 2014), debido a que emplean filtros pasa bajos a su salida. A medida que las aplicaciones requieren frecuencias más altas, se encarecen sus costos o bien se requiere de la implementación de etapas de conversión ascendente que adicionalmente complican la solución.

Con el diseño de un sintetizador digital distribuido, basado en dispositivos FPGA, conversores digitales análogos de alta velocidad y un filtro pasa banda, se abre el camino para la implementación de generadores de forma de onda en frecuencias superiores a la máxima frecuencia de muestreo del conversor. A la salida de la etapa de conversión aparecen armónicos de frecuencias superiores a la frecuencia de Nyquist que pueden ser convenientemente seleccionadas mediante dicho filtrado pasa banda.

Este tipo de implementación distribuida de la síntesis digital de señales (Indra *et al.*, 2016), permite el aumento de la frecuencia de portadora del generador, el empleo de múltiples canales transmisores sincronizados coherentemente y la integración del generador de forma de onda al resto de los sistemas en un mismo dispositivo de procesamiento digital.

El objetivo propuesto es establecer el procedimiento de diseño de un generador de forma de onda

LFM con el empleo de un oscilador controlado numéricamente (NCO).

Materiales y métodos

Generación de señales moduladas en frecuencia (LFM)

La modulación lineal de frecuencia rompe la dependencia inversa que existe entre la duración de un pulso mono frecuencial y el ancho de banda. Por lo que mediante este tipo de modulación es posible disminuir la potencia pulsiva P_p e incrementar la duración del pulso τ_p de forma proporcional para mantener o incrementar esta relación energética (figura 1), donde se emplee un ancho de banda que permita en recepción a la salida del filtro adaptado (Mark *et al.*, 2016), comprimir el pulso de gran duración τ_p a un valor equivalente al de un pulso simple de duración $\tau_p = 1/AB$ $\tau = 1/\Delta F$, donde $AB\Delta F$ es el ancho de banda de la modulación.

La energía transmitida está determinada la ecuación (1):

$$Et = P_p * \tau_p \quad (1).$$

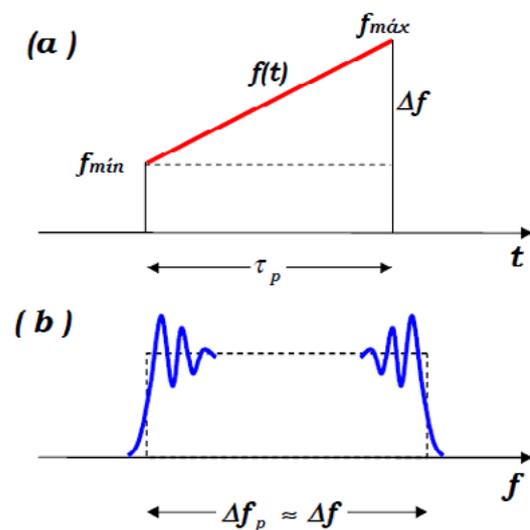


Figura 1. (a) Ley de variación de la frecuencia $f(t)$ (b) Característica amplitud-frecuencia para un pulso LFM

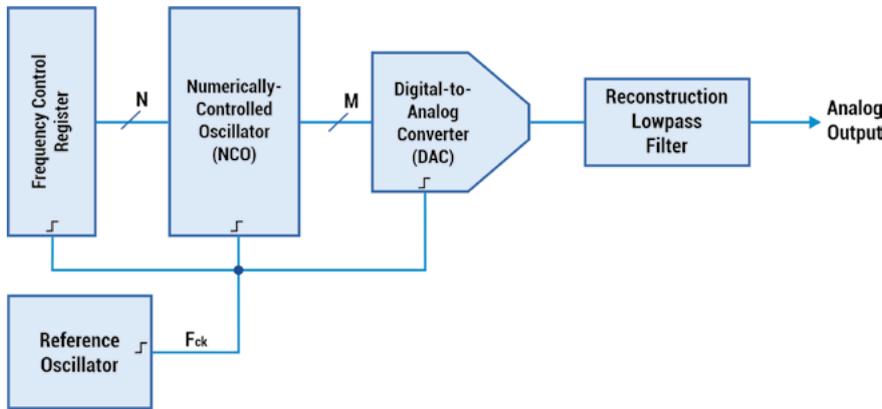


Figura 2. Sintetizador Digital Directo (DDS)

El empleo de sintetizadores digitales para la generación de señales (Fengjie, 2004; Chen et al., 2014) se ha convertido en una práctica común. En esencia, un Sintetizador Digital Directo (figura 2) está compuesto por un oscilador de referencia, un Oscilador Controlado Numéricamente (NCO), un conversor digital analógico y un filtro pasa bajo de reconstrucción de la señal.

El bloque NCO (figura 3) es utilizado para sintetizar señales sinusoidales de fase y frecuencias variables, a partir de una base de tiempo proporcionada por el oscilador de referencia (Tae & Lee, 2020; Swick, 2021). La implementación de este dispositivo incluye dos partes fundamentales: el acumulador de fase y la tabla de fase-amplitud (*lookup-table*). El acumulador de fase es incrementado con el *offset* de fase y opcionalmente puede agregársele una señal dither interna. La salida del registro de fase se utiliza para acceder a la memoria que contiene la tabla de fase amplitud, donde

se encuentran las muestras de la señal sinusoidal. El periodo de la señal de salida es igual al tiempo que requiere el contador para alcanzar su valor máximo, en dicho tiempo se deben obtener la totalidad de las muestras almacenadas en memoria. De lo anterior, se desprende que: si el incremento de fase aumenta, el periodo de la señal de salida disminuye, por lo que será tomada una menor cantidad de muestras de la

Metodología para el cálculo de los parámetros del NCO

Dado una resolución de frecuencia $f\ddot{A}$ y un periodo de muestreo T_s , es calculada N (cantidad de bit requerido por el acumulador de fase), según las ecuaciones (2), (3) y (4).

$$(2) \quad f\ddot{A} = \frac{1}{T_s \cdot 2^N} [\text{Hz}]$$

$$(3) \quad 2^N = \frac{1}{T_s \cdot f\ddot{A}}$$

$$(4) \quad N = \log_2 \left(\frac{1}{T_s \cdot f\ddot{A}} \right)$$

Si el valor de N no es un número entero se redondea al entero superior y se realiza el cálculo de la ecuación

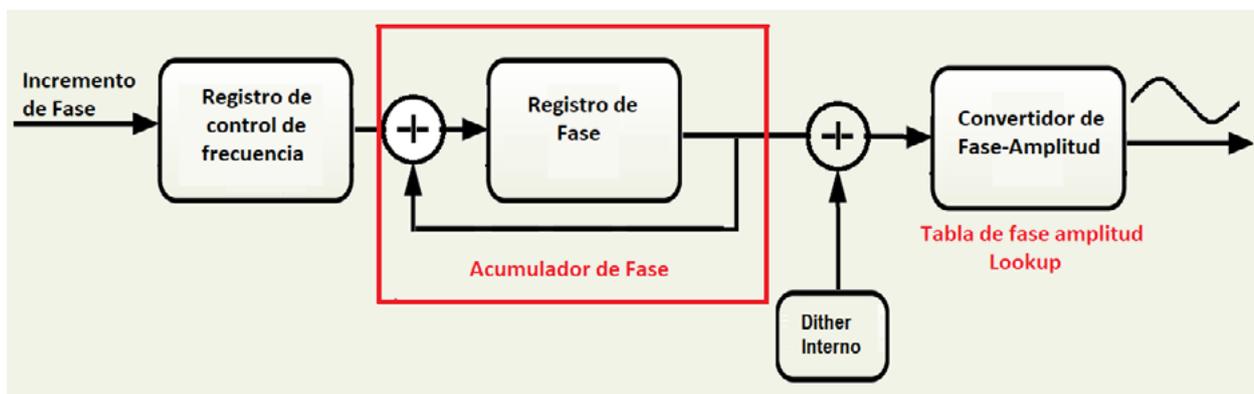


Figura 3. Esquema funcional del NCO

2 para obtener la nueva resolución de frecuencia a consecuencia del redondeo. A su vez, la tabla que posee las muestras de un ciclo de una señal sinusoidal tiene salto de fase entre cada posición de δ , según la ecuación (5):

$$(5) \quad \delta = 360/2^N \delta = \frac{360}{2^N}$$

Obtenido el número de bits del acumulador se realiza el cálculo del incremento de según se muestra en la ecuación (6):

$$(6) \quad I = \text{round} \left(\frac{F_o \cdot 2^N}{F_s} \right)$$

donde: F_o es la frecuencia de salida del oscilador.

El rango dinámico libre de espurio (SFDR) del sistema es obtenido, según muestran las ecuaciones 7 y 8:

$$(7) \quad SFDR = 6 * P \text{ dBc} \quad \text{sin dither}$$

$$(8) \quad SFDR = 6 * P + 12 \text{ dBc} \quad \text{con dither}$$

donde: P es el número de bits del acumulador de fase cuantificado.

Dither

La señal de dither (J. B.-Y. Tsui, 2003, J. B.-Y. y Tsui, 2010) es generada a partir de una secuencia pseudo aleatoria y es empleada para añadir ruido al índice de búsqueda de la tabla que guarda los valores de salida del NCO. Esto se hace para propagar las frecuencias espurias a todo lo largo del ancho de banda disponible. Sin este proceso, las espurias pueden llegar a ser extremadamente grandes con relación al armónico fundamental haciendo disminuir el SFDR del sistema NCO. Cuando aumentamos el número de bits más allá del valor óptimo, el piso de ruido de la salida NCO aumenta, lo que produce de la misma forma un bajo rango dinámico.

El número óptimo de bits es usualmente pequeño, basado en la implementación del NCO, las frecuencias de salida de interés, y otros requisitos del sistema. En general, una buena elección para determinar el número de bits de dither es la longitud de palabra del acumulador (N), menos el número de bits discretizados del acumulador (P).

$$(9) \quad dither = N - P$$

$$Dither = N - P$$

donde: N : longitud de palabra del acumulador. P : número de bits del acumulador, según lo muestra se ecuación (9):

Resultados y discusión

Diseño del NCO

Empleando la metodología descrita anteriormente se realiza el cálculo de los parámetros configurables del NCO con la ayuda del Matlab, para la modulación de una señal LFM de duración 300 μ s y ancho de banda de 100 kHz. Obteniendo los parámetros de configuración del NCO siguientes:

$T_s=7.1429$ Periodo de muestreo en ns.

$N=32$ Número de bits del acumulador de fase.

$\Delta f= 0.0326$ Resolución de frecuencia en Hz.

$P = 13$ Número de bit del acumulador de fase cuantificado.

$N_d = 19$ Número de bits de dither.

$I_p=1.0e+09 * (0.9204 \ 0.9357 \ 0.9510 \ 0.9664 \ 0.9817 \ 0.9970 \ 1.0124 \ 1.0277 \ 1.0431 \ 1.0584 \ 1.0737 \ 1.0891 \ 1.1044 \ 1.1198 \ 1.1351 \ 1.1504 \ 1.1658 \ 1.1811 \ 1.1965 \ 1.2118 \ 1.2271 \ 1.2425 \ 1.2578 \ 1.2732 \ 1.2885 \ 1.3038 \ 1.3192 \ 1.3345 \ 1.3498 \ 1.3652 \ 1.3805 \ 1.3959 \ 1.4112 \ 1.4265 \ 1.4419 \ 1.4572 \ 1.4726 \ 1.4879 \ 1.5032 \ 1.5186 \ 1.5339)$

Los valores de incremento de fase (I_p) están referenciados para cada frecuencia de la banda de trabajo de 30 a 50 MHz con una discreción de 500 kHz.

Para realzar la modulación LFM es necesario realizar una variación del incremento de fase del NCO, durante el tiempo de modulación, en una magnitud equivalente al ancho de banda de la modulación, por lo que es necesario calcular:

La cantidad de pulsos de reloj n en el tiempo de modulación T_I se muestra en la ecuación (10):

$$(10) \quad n=fs*T_I$$

donde: fs la frecuencia de reloj del NCO.

El incremento en frecuencia por ciclo de reloj, se muestra en la ecuación (10):

$$(11) \quad \Delta F_{rc} = AB / n$$

donde: AB , es el ancho de banda de la modulación.

El incremento del acumulador de fase por ciclo de reloj se calcula como se muestra en la ecuación (12):

$$(12) \quad I_{fMod}=\text{round} (\Delta F_{rc}/\Delta f)$$

donde: Δf es la resolución en frecuencia del NCO.

Se obtiene que durante el tiempo de modulación de 300 μ s la cantidad de pulsos de reloj $n = 42000$, el incremento de la frecuencia por ciclo de reloj $\Delta Frc = 2.3810$ Hz y la variación del incremento de fase en el tiempo de modulación por ciclo de reloj es 73.

Implementación en FPGA

Para la implementación del sistema se empleó un dispositivo FPGA Stratix 4, TR4 de Terasic y un convertor digital análogo del tipo DCC el cual posee una frecuencia de muestreo máxima de 250 MHz. Para la síntesis del NCO se empleó Simulink de Matlab (Figura 4).

La figura 5 muestra el espectro de frecuencia generado por el modelo computacional, donde se obtiene un rango dinámico libre de espurias de aproximadamente 100 dB. Este rango dinámico se verá empeorado en la etapa de conversión digital análogo, por el ruido del convertor y por la amplitud de la or-

den de réplica del espectro que se toma como señal moduladora a la salida.

Durante el proceso de conversión digital análogo aparecen réplicas del espectro en los múltiplos enteros de $f_s/2$ (Lee & Varaiya, 2000). Dicha réplica es filtrada a la salida del convertor en la banda de trabajo, empleando como criterio que la banda de paso debe cortar aproximadamente un 10 % por encima y por debajo del inicio y final de la zona de Nyquist

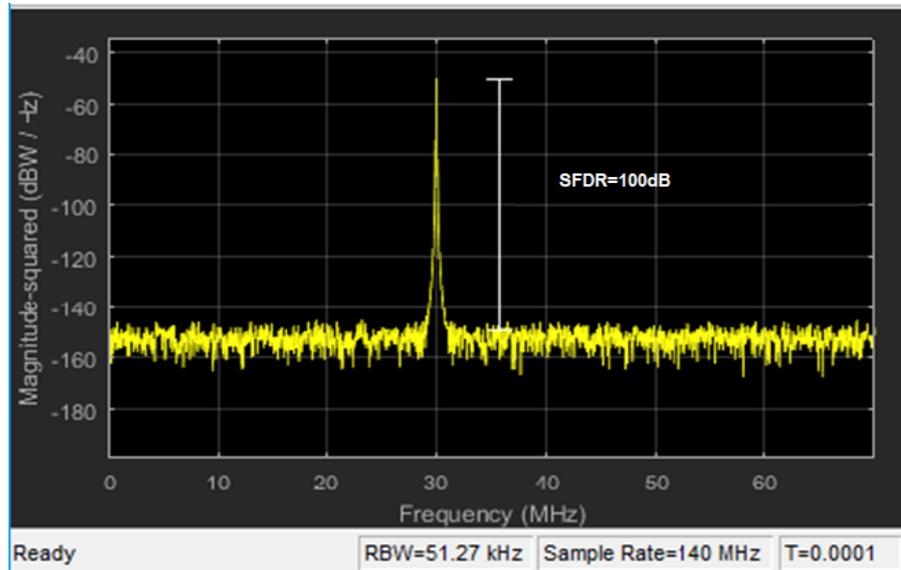


Figura 5. Espectro de frecuencia del NCO modelado en Simulink

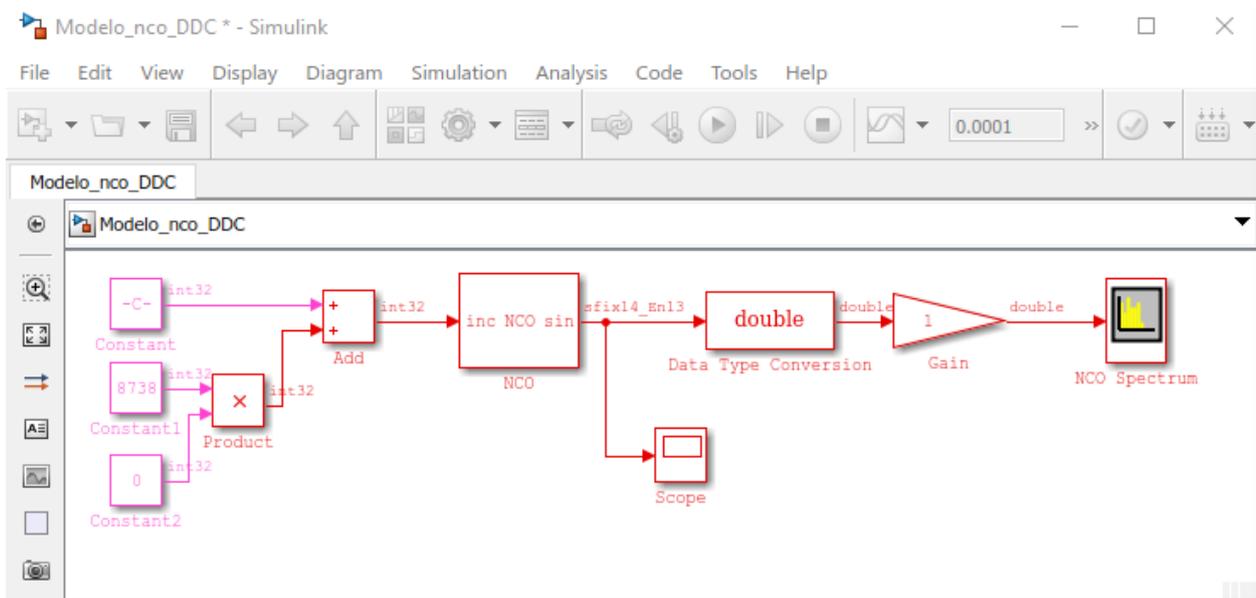


Figura 4. Modelo del NCO en Simulink para su puesta a punto y síntesis en VHDL

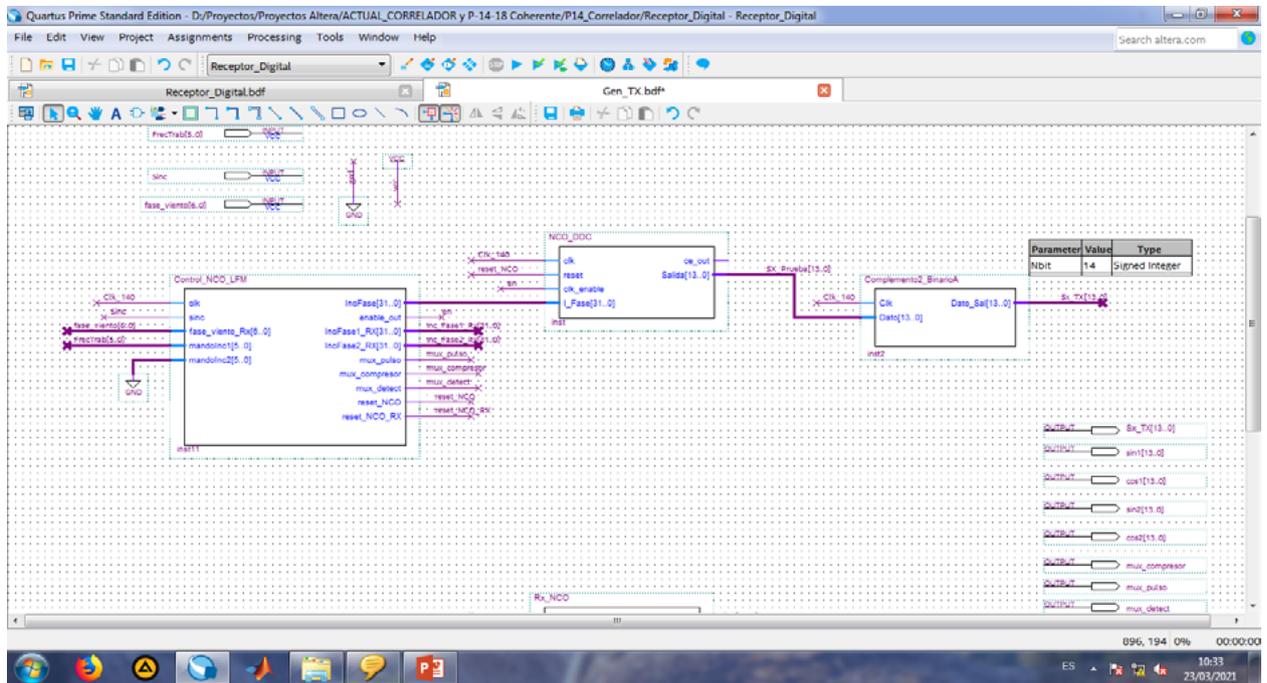


Figura 6. Captura esquemática de la programación en FPGA Terasic TR4 Stratix4

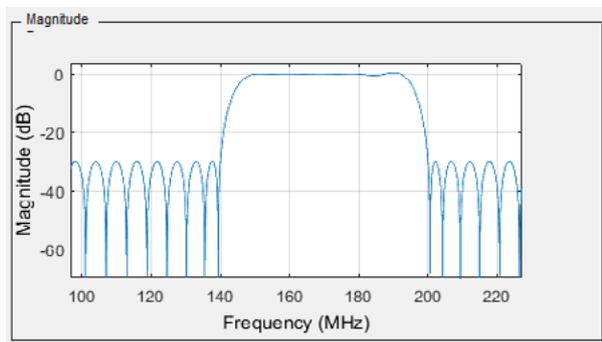


Figura 7. Respuesta de frecuencia del filtro analógico de salida

Se implementó una señal con modulación LFM de 300 μ s de duración y otra señal pulsiva mono frecuencial de 6 μ s de duración y separadas a 1 MHz. En la figura 10 se puede observar los armónicos que aparecen a la salida del convertor digital analógico.

La figura 11 muestra la medición realizada una vez filtrado el armónico de interés el cual posee una frecuencia de 170 MHz y fue obtenido a partir de un convertor con una frecuencia de Nyquist de 70 MHz lo que demuestra la validez del método empleado. Observe que la amplitud de los armónicos secundarios va disminuyendo a medida que se incrementa su orden,

seleccionada, para evitar el paso de armónicos de las bandas adyacentes (Wu, 2015) (Figura 6 y 7).

Comprobación experimental y análisis de los resultados

Para la comprobación práctica del diseño se realizó un experimento mostrado en la figura 8. Desde una PC se realiza en control de frecuencia y potencia de salida del sistema a través de una aplicación desarrollada sobre Appdesigner de Matlab mostrado en la figura 9. Durante el experimento se realizó la medición del espectro de frecuencia a la salida del generador antes y después de la etapa de filtrado con la ayuda de un analizador de espectro Keysight N9917.



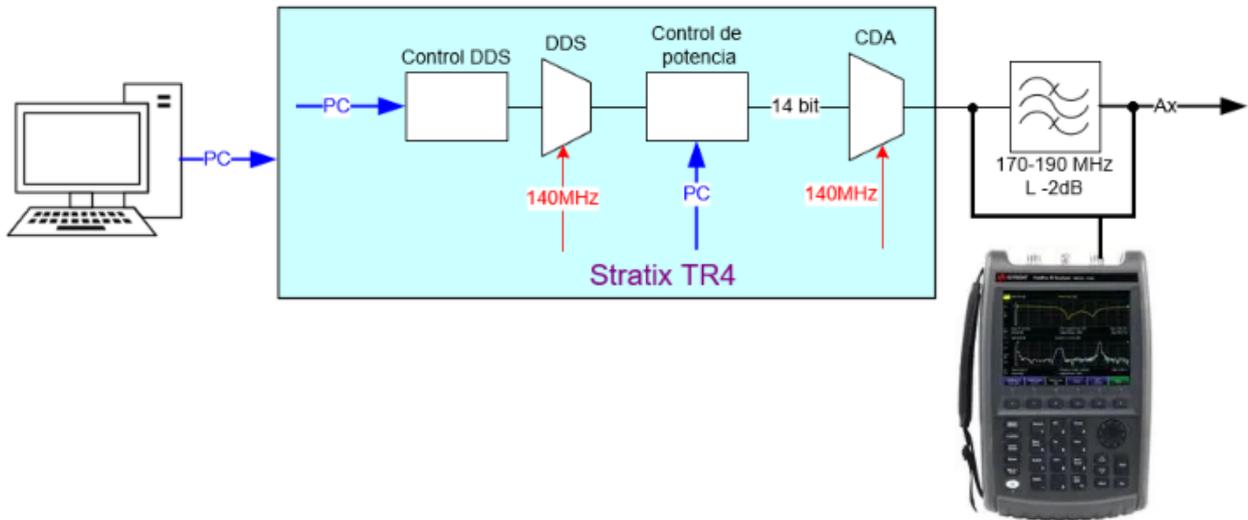


Figura 8. Esquema y montaje experimental



Figura 9. Programa de control del generador

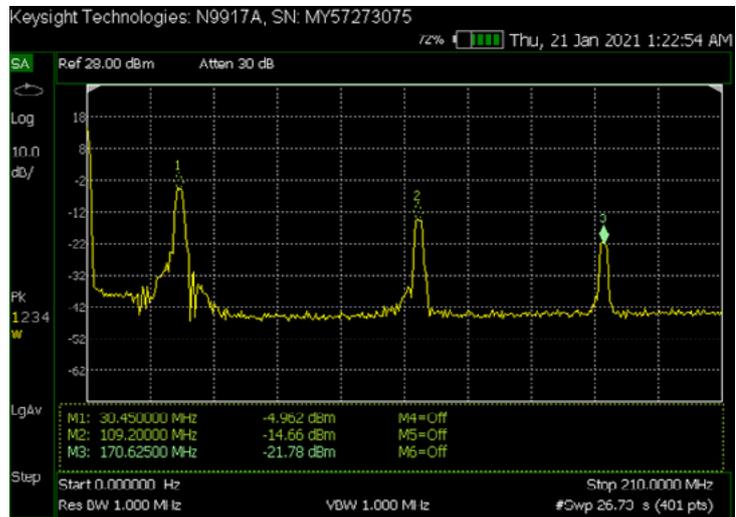


Figura 10. Espectro de frecuencia medido a la salida del CAD sin filtro

por lo que es necesario tener en cuenta el rango dinámico libre de espurio de la señal y la calidad espectral requerida por la aplicación. El ruido de conversión y la cantidad de bit del convertor, limitan el rango dinámico libre de espurios de la señal generada mediante síntesis digital.

En la figura 12 se puede observar la señal generada con modulación LFM y el pulso simple obtenido por el mismo método de generación, separados a 1 MHz.

Conclusiones

Como demuestran los resultados obtenidos de forma experimental, es posible obtener mediante un DDS imple-

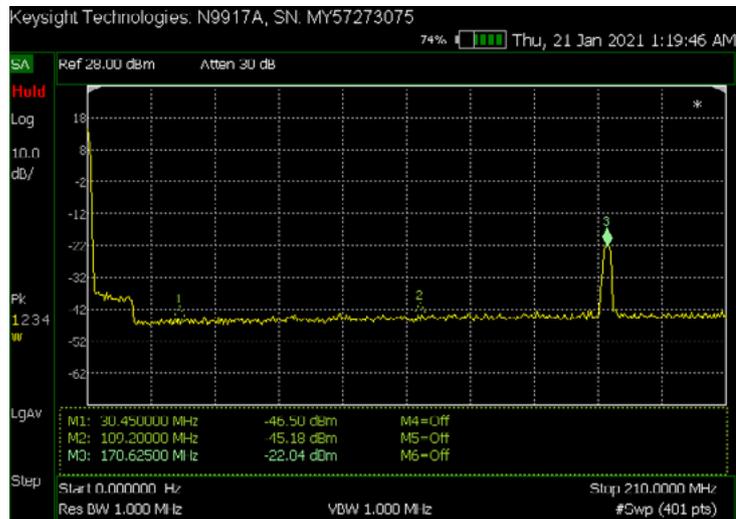


Figura 11. Espectro de frecuencia medido a la salida del CAD filtrada la banda de interés

mentado en base a un FPGA la señal moduladora LFM con los parámetros deseados en el diseño. Se obtiene una réplica del espectro en la banda de interés los cuales aparecen debido a las componentes de la mezcla entre las frecuencias generadas por el NCO y el reloj del CDA. Es necesario tener en cuenta que el rango dinámico libre de espurias obtenido en la síntesis del NCO es afectado por el proceso de conversión digital análogo, y por el orden de la réplica del espectro en la banda de interés.

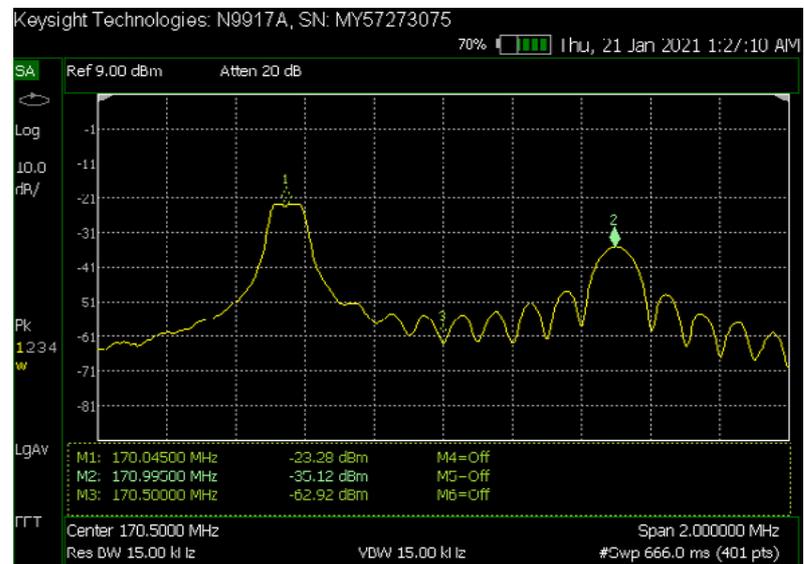


Figura 12. Espectro de frecuencia medido a la salida del CAD. Marcador 1) LFM 100 kHz. Marcador 2) pulso simple

Referencias bibliográficas

- Chen P., Xiao M., She Y., & Li, Y. (2014). Generation of linear frequency modulation signal with reduced round-off error using pulse output direct digital synthesis technique. *Review of Scientific Instruments*, 85, 025106. <https://doi.org/10.1063/1.4864079>
- Fengjie, J. (2004). Use of DDS Technique in radar signal generator. *IEEE, ICSP 04.2004 7th International Conference*, (3).
- Indra W., Ros S. N., Bagus, E. S., & Dadan, M. (2016) *AIP Conference Proceedings E. S. FPGA-based I/Q chirp generator using first quadrant DDS compression for pulse compression radar*. <https://doi.org/10.1063/1.4958607>
- Lee, E. A., & Varaiya, P. (2000). *Structure and Interpretation of Signals and Systems*.
- Mark A., Scheer, J., Holm, W. (2010). *Principles of Modern Radar- Basic Principles*.
- Swick, M. (2021). *Archiving the communication requirement of radar systems with connext DDS. RTI Systems Architect 02*.
- Tae, Y., & Lee, J. H. (2020). *DDS and PLL base X band FMCW Radar System. MTT-S International Microwave workshop series*. IEEE.
- Tsui. (2004). *Digital Techniques for Wideband Receivers*. SciTech Publishing Inc.
- Tsui. (2010). *Special Design Topics in Digital Wideband Receivers*. SciTech Pub Inc.
- Wu, J. (2015). *Advanced Metric Wave Radar*. China Electronics Technology Group Corporation Hefei.

